



PROGRAMA TÉCNICO

15 - 16 de noviembre 2018



JUEVES 15	
8:00 - 9:00	REGISTRO
8:30 - 9:00	Bienvenida y presentación de los patrocinadores
Sesión I: Digitales I	
9:00 - 9:20	<p>DJ101: Microprocesador 8051 genérico de código abierto basado en Verilog Antonio Tecalero-Zaldivar, Daniel Fernández-Ramón, Susana Ortega-Cisneros, Francisco Javier Ibarra-Villegas</p> <p>Resumen: En este trabajo se explica el núcleo de un microprocesador 8051 descrito en Verilog, el cual funciona como base para procesadores más avanzados. Las ventajas de trabajar con Verilog es que permite al usuario modificar, las veces que se requieran, las características del microprocesador, para cumplir con los requerimientos de algún proyecto, tanto para tareas sencillas que requieran poco hardware, como aquellas de mayor complejidad. La idea de este proyecto es crear un procesador sintetizable tomando como base un código abierto y obtener un código libre de IP Cores para que, sin importar el compilador utilizado, pueda ser implementado.</p>
9:25 - 9:45	<p>DJ102: Diseño e implementación de Microprocesador asíncrono doble riel con protocolo de 4 fases Ulises Carpinteyro-Ponce, Emma Mascorro-Guardado, Adolfo Luna-Rodríguez, Susana Ortega-Cisneros</p> <p>Resumen: En este trabajo se realiza el diseño e implementación de un microprocesador asíncrono doble riel con protocolo de 4 fases, con arquitectura Von Neumann. El principal propósito es realizar una comparativa de dicho procesador con uno semejante en lógica síncrona y destacar las ventajas que ofrece la lógica asíncrona. Se encontró que el microprocesador asíncrono requiere aproximadamente 4 veces más hardware que el síncrono, por otro lado se logra eliminar el consumo de potencia relacionado con el reloj el cual, para el microprocesador síncrono, es de 0.92 mW</p>
9:50 - 10:10	<p>DJ103: Implementación de algoritmos mediante técnica de doblamiento para la optimización de área en VLSI Diego Gaytán, E. Mascorro-Guardado, Susana Ortega-Cisneros, Jorge Rivera</p> <p>Resumen: Este trabajo se centra en la minimización de unidades funcionales (tales como sumadores y multiplicadores) de cualquier arquitectura de procesamiento digital de señales (PDS) para disminuir el área de silicio al momento de fabricar el circuito. La transformación utilizada para este propósito es la de doblamiento la cual consiste en determinar de manera sistematizada los circuitos de control en las arquitecturas de PDS en donde las unidades funcionales son multiplexadas en el tiempo a una sola unidad funcional. Como ejemplo de aplicación se presenta un filtro bicuadrático ya retemporizado, con el cual, mediante la transformación de doblamiento se logró reducir de 8 a 2 unidades funcionales, con lo que se reducirá el área de silicio en una posible fabricación. El inconveniente consiste en que la arquitectura resultante será más lenta ya que el tiempo de computación incrementará por un factor igual al factor de doblamiento N, teniendo que aumentar la frecuencia de reloj por el mismo factor si se quiere mantener la frecuencia de respuesta comparado con la versión original.</p>

	COFFEE BREAK
10:10 - 11:00	<p><i>10:20 - 10:40 MINI TALLER TÉCNICO KEYSIGHT TECHNOLOGIES</i> DISEÑO DE LAS FUTURAS COMUNICACIONES MILIMÉTRICAS DE BANDA ANCHA USANDO EL OSCILOSCOPIO KEYSIGHT UXR DE 110 GHZ</p> <p><i>10:40 - 11:00 MINI TALLER TÉCNICO RHODE&SCHWARZ</i> SISTEMAS DE COMUNICACIÓN DENTRO DEL SEGMENTO AUTOMOTRIZ</p>
Sesión II: Analógicos I	
11:00 - 11:20	<p>AJ101: Diseño de un Amplificador de Instrumentación Completamente Diferencial para el Acondicionamiento de Señales en Sensores MEMS ¹R. Bolaños-Pérez, ²José M. Rocha-Pérez, ¹A. Díaz-Sánchez, ³S. Soto-Cruz y ³S. Alcántara-Iniesta.</p> <p>Resumen: Se presenta la propuesta de diseño de un sistema híbrido (MEMS+Readout), conformado por un MEMS y un circuito integrado de aplicaciones específicas. Como etapa de lectura y acondicionamiento de señal, se diseñó y caracterizó a nivel simulación de un amplificador de instrumentación con salida diferencial en una tecnología de 0.5µm de ON Semiconductors. El MEMS considerado para este diseño es un sensor piezoresistivo, el cual presenta variaciones de resistencia, del orden de miliohms, cuando es sujeto a estrés mecánico, con el cual se obtienen voltajes típicos del orden de µV, lo que dificulta su medición. El amplificador de instrumentación diseñado permite el acondicionamiento de la señal proveniente del MEMS, debido a que tiene características importantes como: alta ganancia (109dB), alta inmunidad al ruido de modo común (CMRR=163dB), bajo consumo de potencia (750µW) y un área de silicio de 479µm X 430µm.</p>
11:25 - 11:45	<p>AJ102: Una Metodología Sencilla para Conocer las Impedancias de RF, OL y FI Necesarias para Diseñar Mezcladores Resistivos Cain Perez-Wences and J. R. Loo-Yau</p> <p>Resumen: Este trabajo se presenta una metodología sencilla para medir las impedancias que el transistor necesita para diseñar un mezclador resistivo. El método propuesto usa un banco de medición de bajo costo basado en un generador de señales junto con mediciones de parámetros-S de un solo puerto y por medio de la regla de Mason se determinan las impedancias del transistor a las frecuencias de RF, LO y FI. Para verificar la metodología propuesta, se diseñó un mezclador resistivo con un transistor de GaN para que pueda trasladar una señal LTE centrada a 2.4 GHz a una frecuencia intermedia de 0.1 GHz. Los resultados experimentales mostraron pérdidas por conversión de 6.9 dB y ACPR mejores a -45 dBc.</p>
11:50 - 12:10	<p>AJ103: Análisis de ruido en resistores/amplificadores digitalmente programables F. Sandoval-Ibarra</p> <p>Resumen: Estimar el efecto del ruido térmico, en todo circuito analógico bajo diseño, debe ser parte de todo flujo de diseño. Si bien las herramientas de diseño, como Spice, incluyen el análisis de ruido en sus capacidades, es importante que el diseñador entienda cómo modelar el ruido y cómo cuantificar su efecto en circuitos. En esta contribución se presenta el efecto del ruido térmico en circuitos MOS basados en el RADP, y cómo incorporarlo en el análisis de redes vía modelos eléctricos equivalentes. El análisis muestra la utilidad del ruido referido a la entrada y cómo éste conduce a definir la razón señal-a-ruido. Los resultados del diseño de experimentos corresponden al desempeño de circuitos en tecnología CMOS 0.5µm, 5.0V.</p>
	COFFEE BREAK
12:10 - 13:00	<p><i>12:20 - 12:40 MINI TALLER TÉCNICO INTEL GUADALAJARA</i> RFID: CONSIDERACIONES EN SU IMPLEMENTACIÓN</p> <p><i>12:40 - 13:00 MINI TALLER TÉCNICO KEYSIGHT TECHNOLOGIES</i> DISEÑO DE DISPOSITIVOS IOT EN UNIVERSIDADES</p>
13:00 - 14:00	ALMUERZO

Sesión III: Analógicos II

14:00 - 14:20	<p>AJ201: Aplicación de un Observador de Estado Extendido para Disminuir los Efectos de la Ganancia DC Finita en un Modulador Sigma-Delta Abraham Bonilla-Torrenlanca, Victor R. Gonzalez-Diaz, J. Fermi Guerrero-Castellanos</p> <p>Resumen: Este trabajo presenta una nueva opción para reducir el impacto negativo de los integradores con pérdida en los moduladores Sigma-Delta de tiempo continuo. La ganancia de DC finita en el OpAmps es la principal razón de integradores con pérdidas. La solución propuesta considera un Observador de Estado Extendido para estimar el error y compensar al integrador con pérdida. Los resultados de la simulación muestran una SNR mejorada con 10dB para una topología CT Sigma-Delta de un solo bit y de primer orden.</p>
14:25 - 14:45	<p>AJ202: Simulación de Osciladores Caóticos de Orden Fraccional Alejandro Silva-Juarez, Esteban Tlelo-Cuautle</p> <p>Resumen: Se presenta la simulación numérica del comportamiento caótico en modelos autónomos no lineales de orden fraccional. Los casos de estudio son seis osciladores caóticos de orden fraccional cuyos atractores se obtienen aplicando las aproximaciones de las definiciones de Grünwald-Letnikov y el método de Adams-Bashforth-Moulton.</p>
14:50 - 15:10	<p>AJ202: Análisis de Mismatch en dispositivos MOS F. Sandoval-Ibarra</p> <p>Resumen: En esta contribución se muestra el uso de matemática aplicadas para modelar y minimizar el efecto no deseado, en dispositivos y circuitos bajo diseño, debido a mismatch. Si bien esos efectos se modelan como variaciones en parámetros específicos, lo relevante es determinar qué parámetros –bajo el control del diseñador- pueden usarse para minimizar efectos no deseados y cómo este escenario deseado se sintetiza a nivel layout. Como caso de estudio se muestra el diseño de arreglos capacitivos, y su extensión a circuitos basados en transistores MOS, usando reglas de diseño de un proceso de fabricación CMOS, 0.5µm, pozo N.</p>
COFFEE BREAK	
<i>SESIÓN POSTER</i>	
15:10 - 16:00	<ul style="list-style-type: none"> • PJ101: Interfaz de Puerto Ethernet para la Interconexión de Terminales con una Matriz de Conmutación de Propósito General Ian Camacho, Emmanuel Esteban Camacho, Susana Ortega Cisneros and Deni Librado Torres Roman • PJ102: Interfaz gráfica de un Prototipo de pruebas de algoritmos de multiprocesamiento y su Unidad de control y comunicación Jorge Luis Horta Sanchez, Roberto Carlos Mieres García, Susana Ortega Cisneros and Deni Librado Torres Roman • PJ103: Diseño y síntesis de una matriz de conmutación temporal espacial reconfigurable y de múltiples propósitos Rangel Chirino Torres, Raul Campoamor Soto and Susana Ortega-Cisneros
Sesión IV: Digitales II	
16:00 - 16:20	<p>DJ201: Aproximación de funciones trigonométricas con polinomios Chebyshev para aplicaciones digitales Iván Emmanuel Dueñas García, Jorge Rivera Domínguez</p> <p>Resumen: En este trabajo se realiza un análisis de los polinomios de Chebyshev para aproximar funciones trigonométricas a fin de utilizarlos en aplicaciones digitales, se compara con la aproximación por medio de series de Maclaurin, observando el error máximo y las operaciones a utilizar. Los resultados muestran que con el mismo número de operaciones, la aproximación por polinomios de Chebyshev es más cercana que utilizando series de Maclaurin.</p>

16:25 - 16:45	<p>DJ202: Modelo de primer orden para análisis estadístico de retardo en compuertas digitales Greg Gustavo Rifka Hernández¹, Hector Luis Villacorta Minaya² y Víctor Hugo Champac Vilela¹</p> <p>Resumen: En este trabajo se presenta el análisis y modelado del comportamiento estadístico del retardo en compuertas lógicas cuando son sometidas a variaciones de proceso dentro de los transistores que las conforman, para encontrar el retardo se moldeara a cada compuerta por medio de una red RC equivalente se explicara la naturaleza de cada parámetro en esta red y posteriormente se hará uso de las definiciones del modelo de sensibilidades para encontrar las ecuaciones que rigen las variaciones de proceso en la compuerta.</p>
16:50 - 17:10	<p>DJ203: Diseño de un filtro digital FIR por medio de técnicas de computación estocástica Carlos Lopez, Jorge Rivera</p> <p>Resumen: En este trabajo se presentan los principios básicos de la computación estocástica (CE). La computación estocástica es una alternativa de hacer cálculos digitales con menos recursos de hardware. Consiste en transformar los datos binarios en secuencias estocásticas que presentan una probabilidad determinada como el número de sucesos favorables (número de unos en la secuencia) dividida por la longitud de secuencia estocástica. Las secuencias estocásticas son procesadas con compuertas lógicas tales como una AND para realizar una multiplicación, reduciendo así drásticamente el número de componentes lógicos. Una vez que las secuencias estocásticas han sido procesadas, pasan por un contador de sucesos favorables, obteniendo así el dato binario convencional del resultado. Bajo estos principios de la CE, se diseña un filtro digital FIR en donde se muestran dos arquitecturas posibles de implementación. Los resultados de simulación predicen que los datos de salida del filtro FIR implementado con técnicas de CE se aproximan bastante a aquellos obtenidos por Matlab.</p>



PROGRAMA TÉCNICO

15 - 16 de noviembre 2018



VIERNES 16	
8:00 - 9:20	REGISTRO
SESIÓN POSTERS	
9:20 - 10:20	PV101: Metahurística aplicada a una red neuronal pulsada J. Enríquez-Gaytán, F. Gómez-Castañeda, J. A. Moreno-Cardenas, L. M. Flores-Nava
	PV102: Implementación de bloques de control para la estabilidad de vehículos terrestres con MIPs segmentado Diego Gaytan, E. Mascorro-Guardado, Susana Ortega-Cisneros, Jorge Rivera
	PV103: Microprocesador neuronal implementado en dispositivos reconfigurables Diego Hernán Gaytán Rivas, Octavio Velázquez, Susana Ortega Cisneros
	PV104: Generación de conocimiento basado en prácticas de laboratorio-Verificación de conceptos físicos y más allá F. Sandoval-Ibarra ¹ , A. Valderrabano-González ²
	PV105: Diseño de una rectenna como elemento para un cosechador de energía en RF a 915 MHz Antonio Tecalero-Zaldivar and Juan Luis Del Valle-Padilla
	PV106: Aplicación de un sistema embebido para alinear diafragmas de turbinas de vapor de alta potencia Suárez-Lizárraga G., Quiñonez-Osuna J., Huerta-Mora E., Balverde-Quintero J.
	PV107: Implementación de Bloques de Control para Testing Aplicado a la Estabilidad de Volante Automotriz con MIPS Segmentado Diego Gaytán, E. Mascorro-Guardado, Susana Ortega-Cisneros, Jorge Rivera
	PV108: Mejora al Modelo Empírico I/V de Chalmers para Transistores FET de Nitruro de Galio D. Ochoa-Armas, I. Lavandera-Hernández, J. R. Loo-Yau
10:30 - 13:10	CEREMONIA DE ANIVERSARIO DEL CINVESTAV UNIDAD GUADALAJARA
13:10 - 14:00	ALMUERZO
14:00 - 16:00	COMPETENCIA ESTUDIANTIL <ul style="list-style-type: none"> • CONCURSO DE OSCILADORES • CONCURSO DE DISEÑO DIGITAL
16:00 - 17:00	TENDENCIAS EN EL DESARROLLO DE ANTENAS PARA APLICACIONES MÓVILES E INTERNET DE LAS COSAS Dr. Rodrigo Camacho, Intel Guadalajara
17:00 - 17:45	Clausura y Premiación

¿Cuál fue para usted la mejor presentación oral?

DJ101: Microprocesador 8051 genérico de código abierto basado en Verilog	AJ201: Aplicación de un Observador de Estado Extendido para Disminuir los Efectos de la Ganancia DC en un Modulador Sigma Delta
DJ102: Diseño e implementación de Microprocesador asíncrono doble riel con protocolo de 4 fases	AJ202: Simulación de Osciladores Caóticos de Orden Fraccional
DJ103: Implementación de algoritmos mediante técnica de doblamiento para la optimización de área en VLSI	AJ203: Análisis de Mismatch en dispositivos MOS
AJ101: Diseño de un Amplificador de Instrumentación Completamente Diferencial para el Acondicionamiento de Señales en Sensores MEMS	DJ201: Aproximación de funciones trigonométricas con polinomios Chebyshev para aplicaciones digitales
AJ102: Una Metodología Sencilla para Conocer las Impedancias de RF, OL y FI Necesarias para Diseñar Mezcladores Resistivos	DJ202: Modelo de primer orden para análisis estadístico de retardo en compuertas digitales
AJ103: Análisis de ruido en resistores/ amplificadores digitalmente programables	DJ203: Diseño de un filtro digital FIR por medio de técnicas de computación estocástica

¿Cuál fue para usted el mejor poster?

PJ101: Interfaz de Puerto Ethernet para la Interconexión de Terminales con una Matriz de Conmutación de Propósito General	PV103: Microprocesador neuronal implementado en dispositivos reconfigurables
PJ102: Interfaz gráfica de un Prototipo de pruebas de algoritmos de multiprocesamiento y su Unidad de control y comunicación	PV104: Generación de conocimiento basado en prácticas de laboratorio-Verificación de conceptos físicos y más allá
PJ103: Diseño y síntesis de una matriz de conmutación temporal espacial reconfigurable y de múltiples propósitos	PV105: Diseño de una rectenna como elemento para un cosechador de energía en RF a 915 MHz
PV101: Metahurística aplicada a una red neuronal pulsada	PV106: Aplicación de un sistema embebido para alinear diafragmas de turbinas de vapor de alta potencia
PV107: Implementación de Bloques de Control para Testing Aplicado a la Estabilidad de Volante Automotriz con MIPS Segmentado	PV108: Mejora al Modelo Empírico I/V de Chalmers para Transistores FET de Nitruro de Galio

¿Cuál fue el mejor stand de la exhibición?

Keysight Technologies de México	Rhode&Schwarz
KMOX/Tektronik	Newark